

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Shun-ichi FUKUYAMA et al.**

Serial Number: **Not Yet Assigned**

Filed: **July 31, 2003**

Customer No.: 23850

For: **SEMICONDUCTOR DEVICE USING LOW-K MATERIAL AS INTERLAYER
INSULATING FILM AND ITS MANUFACTURE METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

July 31, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

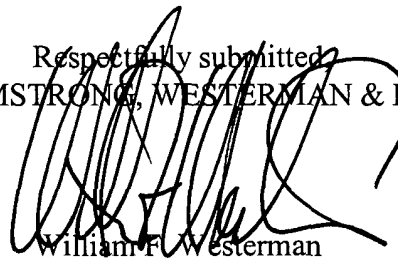
Japanese Appln. No. 2002-226240, filed on August 2, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP


William F. Westerman

Reg. No. 29,988

Atty. Docket No.: 030860
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WFW/yap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月 2日

出願番号

Application Number:

特願2002-226240

[ST.10/C]:

[JP 2002-226240]

出願人

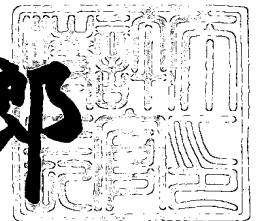
Applicant(s):

富士通株式会社

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025532

【書類名】 特許願

【整理番号】 0240571

【提出日】 平成14年 8月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/304

【発明の名称】 半導体装置及び半導体装置の製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 福山 俊一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 大和田 保

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 井上 裕子

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 杉本 賢

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎
【電話番号】 03-3832-8095
【選任した代理人】
【識別番号】 100105887
【弁理士】
【氏名又は名称】 来山 幹雄
【電話番号】 03-3832-8095
【手数料の表示】
【予納台帳番号】 009852
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9705794
【包括委任状番号】 0109607
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の表面上に形成された半導体素子と、
前記半導体素子を覆うように、前記半導体基板の上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜の上に形成され、該第 1 の絶縁膜の誘電率よりも低い誘電率を有する第 2 の絶縁膜と、

前記第 2 の絶縁膜の上に形成された第 1 の配線と、

前記第 2 の絶縁膜及び前記第 1 の絶縁膜の内部に埋め込まれ、前記第 1 の配線と前記半導体素子とを電氣的に接続する導電性の接続部材とを有する半導体装置。

【請求項 2】 さらに、前記第 1 の配線の上に形成された多層配線を有し、前記第 1 の配線及び前記多層配線が金属で形成され、前記第 1 の配線が、金属で形成された配線のうち最下層に配置されている請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 の絶縁膜が、有機絶縁材料またはポラスシリカで形成されている請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 の絶縁膜の上面に、シランカップリング剤または金属カップリング剤による表面改質層が形成されており、

さらに、前記表面改質層の上に、前記第 1 の絶縁膜の誘電率よりも低い誘電率を有する第 3 の絶縁膜とを有し、

前記第 3 の絶縁膜に形成され、前記表面改質層で底面が画定された溝内に、前記第 1 の配線が埋め込まれている請求項 1 ～ 3 のいずれかに記載の半導体装置。

【請求項 5】 半導体基板の表面上に形成された半導体素子と、
前記半導体素子を覆うように、前記半導体基板の上に形成された絶縁材料からなる保護膜と、

前記保護膜の上に形成され、ポラスシリカまたは有機絶縁材料で形成され、該保護膜の誘電率よりも低い誘電率を有する低誘電率膜と、

前記低誘電率膜の上に形成された第 1 の配線と、

前記低誘電率膜及び前記保護膜の内部に埋め込まれ、前記第 1 の配線と前記半導体素子とを電氣的に接続する導電性の接続部材とを有する半導体装置。

【請求項 6】 (a) 半導体基板の表面上に半導体素子を形成する工程と、
(b) 前記半導体素子を覆うように、前記半導体基板の上に、絶縁材料からなる保護膜を、気相成長により形成する工程と、
(c) 前記保護膜の上に、該保護膜よりも誘電率の低い絶縁材料からなる第 1 の絶縁膜を、塗布法により形成する工程と、
(d) 前記第 1 の絶縁膜及び前記保護膜を貫通するビアホールを形成する工程と、
(e) 前記ビアホール内に導電性プラグを埋め込む工程と、
(f) 前記第 1 の絶縁膜の上に、前記導電性プラグに接続された金属製の配線を形成する工程とを有する半導体装置の製造方法。

【請求項 7】 前記工程 (c) の後、さらに、
前記第 1 の絶縁膜の上に、絶縁材料からなる第 2 の絶縁膜を、気相成長により形成する工程と、
前記第 2 の絶縁膜の表面の平坦化を行う工程とを含み、前記工程 (d) において、前記第 2 の絶縁膜をも貫通する前記ビアホールを形成する請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に従来の酸化シリコンよりも低誘電率の絶縁材料を層間絶縁膜に用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

図 4 に、従来の多層配線構造を有する半導体装置の断面図を示す。シリコン基

板 1 0 0 の表面上に形成された素子分離絶縁膜 1 0 1 により活性領域が画定されている。この活性領域の表面上に、ソース領域 1 0 2 S、ドレイン領域 1 0 2 D、及びゲート電極 1 0 2 G を有する MOSFET 1 0 2 が形成されている。

【 0 0 0 3 】

MOSFET 1 0 2 を覆うように、シリコン基板 1 0 0 の上に、フォスフォシリケートガラス (PSG) からなるビア層絶縁膜 1 0 3 が形成されている。ビア層絶縁膜 1 0 3 は、基板温度 6 0 0 °C で化学気相成長 (CVD) により厚さ 1.5 μ m の PSG 膜を堆積させた後、化学機械研磨 (CMP) により表面の平坦化を行ったものである。

【 0 0 0 4 】

ビア層絶縁膜 1 0 3 の上に、窒化シリコンからなる厚さ 5 0 nm の保護膜 1 0 4 が形成されている。保護膜 1 0 4 及びビア層絶縁膜 1 0 3 を貫通し、ドレイン領域 1 0 2 D の表面まで達するビアホール 1 0 5 が形成されている。ビアホール 1 0 5 の底面及び側面が、TiN 等のバリアメタル層 1 0 7 で覆われ、ビアホール 1 0 5 内にタングステン (W) プラグ 1 0 6 が充填されている。

【 0 0 0 5 】

保護膜 1 0 4 の上に、ポーラスシリカからなる厚さ 1 5 0 nm の配線層絶縁膜 1 1 0、及び酸化シリコンからなる厚さ 1 0 0 nm のキャップ膜 1 1 1 が、この順番に積層されている。配線層絶縁膜 1 1 0 及びキャップ膜 1 1 1 の 2 層に、配線溝 1 1 2 が形成されている。配線溝 1 1 2 の底面及び側面を、Ta₂N₅ からなるバリアメタル層 1 1 3 が覆う。配線溝 1 1 2 内に第 1 層目の銅配線 1 1 4 が充填されている。

【 0 0 0 6 】

キャップ膜 1 1 1 及び銅配線 1 1 4 の上に、窒化シリコンからなる厚さ 5 0 nm のエッチングストッパ膜 1 2 0、ポーラスシリカからなる厚さ 2 5 0 nm のビア層絶縁膜 1 2 1、窒化シリコンからなる厚さ 5 0 nm のエッチングストッパ膜 1 2 2、ポーラスシリカからなる厚さ 1 5 0 nm の配線層絶縁膜 1 2 3、及び酸化シリコンからなる厚さ 1 0 0 nm のキャップ膜 1 2 4 がこの順番に積層されている。

【 0 0 0 7 】

キャップ膜 1 2 4 の上面から配線層絶縁膜 1 2 3 の底面まで達する配線溝 1 2 8 が形成されており、配線溝 1 2 8 の底面から下層の配線 1 1 4 の上面まで達するビアホール 1 2 7 が形成されている。ビアホール 1 2 7 及び配線溝 1 2 8 の底面及び内面が、T a N からなるバリアメタル層 1 2 9 で覆われている。さらに、ビアホール 1 2 7 及び配線溝 1 2 8 の内部に、第 2 層目の銅配線 1 3 0 が埋め込まれている。

【 0 0 0 8 】

図 4 に示した従来の多層配線構造では、第 1 層目の配線層絶縁膜 1 1 0、第 2 層目のビア層絶縁膜 1 2 1、配線層絶縁膜 1 2 3 が、低誘電率のポーラスシリカで形成されているため、配線間の寄生容量を低減することができる。

【 0 0 0 9 】

【発明が解決しようとする課題】

図 4 に示した従来例では、第 1 層目の配線 1 1 4 とシリコン基板 1 0 0 との間に配置された第 1 層目のビア層絶縁膜 1 0 3 は、P S G で形成されている。第 1 層目のビア層絶縁膜 1 0 3 に低誘電率のポーラスシリカ等を使用しないのは、M O S F E T 1 0 2 の電気的特性の変動を防止するためである。

【 0 0 1 0 】

第 1 層目のビア層絶縁膜 1 0 3 が低誘電率材料で形成されていないため、第 1 層目の配線 1 1 4 とシリコン基板 1 0 0 の表面に形成された導電性部分との間の寄生容量は低減されない。また、第 1 層目の配線層絶縁膜 1 1 0 内に形成された配線間においても、電界が下層のビア層絶縁膜 1 0 3 に広がるため、寄生容量の低減効果が減殺されてしまう。

【 0 0 1 1 】

本発明の目的は、第 1 層目の配線に係わる寄生容量の低減効果を増大させることが可能な半導体装置を提供することである。

【 0 0 1 2 】

【課題を解決するための手段】

本発明の一観点によると、半導体基板の表面上に形成された半導体素子と、前

記半導体素子を覆うように、前記半導体基板の上に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜の上に形成され、該第 1 の絶縁膜の誘電率よりも低い誘電率を有する第 2 の絶縁膜と、前記第 2 の絶縁膜の上に形成された第 1 の配線と、前記第 2 の絶縁膜及び前記第 1 の絶縁膜の内部に埋め込まれ、前記第 1 の配線と前記半導体素子とを電氣的に接続する導電性の接続部材とを有する半導体装置が提供される。

【 0 0 1 3 】

第 1 の配線と第 1 の絶縁膜との間に、第 1 の絶縁膜よりも誘電率の低い第 2 の絶縁膜が配置されているため、第 1 の配線に係わる寄生容量を低減させることができる。

【 0 0 1 4 】

本発明の他の観点によると、半導体基板の表面上に形成された半導体素子と、前記半導体素子を覆うように、前記半導体基板の上に形成された絶縁材料からなる保護膜と、前記保護膜の上に形成され、ポーラスシリカまたは有機絶縁材料で形成され、該保護膜の誘電率よりも低い誘電率を有する低誘電率膜と、前記低誘電率膜の上に形成された第 1 の配線と、前記低誘電率膜及び前記保護膜の内部に埋め込まれ、前記第 1 の配線と前記半導体素子とを電氣的に接続する導電性の接続部材とを有する半導体装置が提供される。

【 0 0 1 5 】

本発明のさらに他の観点によると、（a）半導体基板の表面上に半導体素子を形成する工程と、（b）前記半導体素子を覆うように、前記半導体基板の上に、絶縁材料からなる保護膜を、気相成長により形成する工程と、（c）前記保護膜の上に、該保護膜よりも誘電率の低い絶縁材料からなる第 1 の絶縁膜を、塗布法により形成する工程と、（d）前記第 1 の絶縁膜及び前記保護膜を貫通するビアホールを形成する工程と、（e）前記ビアホール内に導電性プラグを埋め込む工程と、（f）前記第 1 の絶縁膜の上に、前記導電性プラグに接続された金属製の配線を形成する工程とを有する半導体装置の製造方法が提供される。

【 0 0 1 6 】

気相成長で形成される保護膜が半導体素子を覆っているため、塗布法で形成さ

れるポーラスシリカまたは有機絶縁材料からなる低誘電率膜を形成することによる半導体素子の電気的特性の変動を抑制することができる。第1の配線（金属性の配線）の下に低誘電率膜が配置されているため、第1の配線（金属製の配線）に係わる寄生容量を低減させることができる。

【0017】

【発明の実施の形態】

図1に、本発明の第1の実施例による半導体装置の断面図を示す。シリコンからなる半導体基板1の表面に、シリコン局所酸化（LOCOS）またはシャロートレンチアイソレーション（STI）により、素子分離絶縁膜2が形成されている。素子分離絶縁膜2により活性領域が画定される。活性領域の表面上に、MOSFET3が形成されている。MOSFET3は、半導体基板の表層部に形成されたソース領域3Sとドレイン領域3D、及びソース領域3Sとドレイン領域3Dとの間のチャネル領域上に、ゲート絶縁膜を介して形成されたゲート電極3Gを含んで構成される。

【0018】

MOSFET3を覆うように、半導体基板1の上に、PSGからなるビア層絶縁膜5が形成されている。ビア層絶縁膜5は、CVDにより厚さ1.5 μ mのPSG膜を堆積させた後、CMPで表面の平坦化を行うことにより形成される。平坦化されたビア層絶縁膜5の上に、窒化シリコンからなる厚さ50nmの保護膜6が形成されている。保護膜6は、例えばCVDにより形成される。

【0019】

保護膜6の上に、ポーラスシリカからなる厚さ250nmのビア層絶縁膜7が形成されている。ビア層絶縁膜7は、例えば、触媒化成工業株式会社製のポーラスシリカ原料（IPS）を基板上にスピコートし、その後、焼成（ベーキング）及び硬化（キュア）を行うことにより形成される。

【0020】

ビア層絶縁膜7の上に、窒化シリコンからなる厚さ100nmのキャップ膜8が形成されている。キャップ膜8は、例えばCVDにより形成される。

キャップ膜8の上面からドレイン領域3Dまで達するビアホール9が形成され

ている。ビアホール 9 の底面及び側面が、TiN からなるバリアメタル層 1 0 で覆われている。さらに、ビアホール 9 内に、タングステンからなる導電性プラグ 1 1 が埋め込まれている。バリアメタル層 1 0 及び導電性プラグ 1 1 は、TiN 膜及びタングステン膜を形成し、CMP によって余分な TiN 膜とタングステン膜とを除去することにより形成される。

【 0 0 2 1 】

TiN 膜は、例えば原料ガスとしてチタニウムクロライドとアンモニアとを用い、基板温度 5 0 0 ℃、好ましくは 4 5 0 ℃以下の条件で、CVD により成膜することができる。なお、スパッタリングにより TiN 膜を成膜することも可能である。タングステン膜は、原料ガスとして六フッ化タングステンとシランとを用い、基板温度 5 0 0 ℃、好ましくは 4 5 0 ℃以下の条件で、CVD により成膜することができる。

【 0 0 2 2 】

キャップ膜 8 の上に、ポラスシリカからなる厚さ 1 5 0 nm の配線層絶縁膜 1 2 が形成されている。その上に、酸化シリコンからなる厚さ 1 0 0 nm のキャップ膜 1 3 が形成されている。配線層絶縁膜 1 2 とキャップ膜 1 3 に、配線溝 1 6 が形成されている。配線溝 1 6 は、通常の写真リソグラフィ及びエッチングにより形成することができる。配線溝 1 6 の底面に、導電性プラグ 1 1 の上面が露出する。

【 0 0 2 3 】

配線溝 1 6 の底面及び側面を、Ta₂N₃ からなる厚さ 3 0 nm のバリアメタル層 1 8 が覆う。さらに、配線溝 1 6 内に第 1 層目の銅配線 1 9 が埋め込まれている。バリアメタル層 1 8 及び銅配線 1 9 は、Ta₂N₃ 膜及び銅膜をスパッタリングにより形成し、銅を電解めっきした後、余分な Ta₂N₃ 膜及び銅膜を除去することにより形成される。

【 0 0 2 4 】

キャップ膜 1 3 及び第 1 層目の銅配線 1 9 の上に、窒化シリコンからなる厚さ 5 0 nm のエッチングストッパ膜 2 0、ポラスシリカからなる厚さ 2 5 0 nm の第 2 層目のビア層絶縁膜 2 1、窒化シリコンからなるエッチングストッパ膜 2

2、ポーラスシリカからなる厚さ150nmの第2層目の配線層絶縁膜23、及び酸化シリコンからなる厚さ100nmのキャップ膜24がこの順番に積層されている。

【0025】

キャップ膜24の上面からエッチングストッパ膜22の上面まで達する配線溝29が形成されている。配線溝29の底面から第1層目の配線19の上面まで達するビアホール28が形成されている。ビアホール28及び配線溝29の底面及び側面が、Ta₂N₅からなるバリアメタル層30で覆われている。さらに、ビアホール28及び配線溝29内に、第2層目の銅配線31が埋め込まれている。

【0026】

以下、第2層目の配線の形成方法について説明する。エッチングストッパ膜20、22、及びキャップ膜24は、CVDにより形成される。ビア層絶縁膜21及び配線層絶縁膜23は、第1層目のビア層絶縁膜7と同様の方法で形成される。

【0027】

キャップ膜24までの積層構造を形成した後、キャップ膜24の上に窒化シリコンからなる厚さ50nmのハードマスク層40を形成する。ハードマスク層40に、配線溝29に対応する開口を形成する。ハードマスク層40を覆うようにレジスト膜を形成し、このレジスト膜に、ビアホール28に対応する開口を形成する。レジスト膜をマスクとして、キャップ膜24からエッチングストッパ膜22の底面までエッチングし、貫通孔を形成する。

【0028】

レジスト膜を除去し、ハードマスク層40をマスクとして、キャップ膜24及び配線層絶縁膜23をエッチングし、配線溝29を形成する。同時に、ビア層絶縁膜21もエッチングされ、ビアホール28が形成される。ビアホール28の底面にエッチングストッパ膜20が露出する。露出したエッチングストッパ膜20を除去し、ビアホール28の底面に下層の配線19を露出させる。このとき、ハードマスク層40も除去される。

【0029】

ビアホール 2 8 及び配線溝 2 9 の内面、及びキャップ膜 2 4 の上面を、厚さ 3 0 n m の T a N 膜で覆う。さらに、T a N 膜の表面を厚さ 3 0 n m の銅のシード層で覆う。銅を電解めっきし、配線溝 2 9 及びビアホール 2 8 内に銅を埋め込む。余分な銅膜、及び T a N 膜を C M P で除去する。配線溝 2 9 及びビアホール 2 8 内に、バリアメタル層 3 0 及び第 2 層目の銅配線 3 1 が残る。

【 0 0 3 0 】

同様の方法で、第 3 層目以上の配線層を形成することができる。

上記第 1 の実施例では、半導体基板 1 と第 1 層目の配線 1 9 との間のビア層絶縁膜が、主として 2 層で構成されており、上側のビア層絶縁膜 7 の誘電率が、下側のビア層絶縁膜 5 の誘電率よりも低い。このため、第 1 層目の配線が複数本配置されている場合に、第 1 層目の配線間の寄生容量を低減することができる。

【 0 0 3 1 】

実際に、第 1 層目の配線で、相互に噛み合った櫛歯形電極を形成し、両者の間の静電容量を測定したところ、櫛歯電極 1 m m 当たりの静電容量は、第 2 層目の配線で形成した櫛歯電極 1 m m 当たりの静電容量とほぼ等しく、 180 fF/m であった。これに対し、第 1 層目の配線の下側のビア層絶縁膜を P S G で形成した場合の静電容量は 220 fF/m であった。このように、第 1 の実施例の構成とすることにより、配線間の寄生容量の低減を図ることができる。

【 0 0 3 2 】

第 1 層目の配線 1 9 は、金属で形成された配線のうち、最下層に配置されている。特に、最下層の配線は、上層の配線に比べて狭いピッチで配置される場合が多い。従って、第 1 層目の配線層の配線間の寄生容量が、上層配線層の配線間の寄生容量に比べて相対的に大きくなる。このため、第 1 層目の配線層の配線間の寄生容量を低減させることは、半導体装置の高速動作に特に有効である。

【 0 0 3 3 】

また、第 1 の実施例では、M O S F E T 3 を覆うビア層絶縁膜 5 が、気相成長で堆積された P S G で形成されている。このため、M O S F E T 3 が、塗布法で形成される低誘電率材料の膜に直接接することによる電気的特性の変動を防止することができる。

【 0 0 3 4 】

上記第 1 の実施例では、低誘電率絶縁材料としてポーラスシリカを使用したのが、誘電率が、酸化シリコンや P S G や B P S G の誘電率よりも低い他の低誘電率絶縁材料を使用してもよい。例えば、ダウケミカル社の S i L K (登録商標) 等の有機絶縁材料を使用してもよい。

【 0 0 3 5 】

また、上記第 1 の実施例では、第 1 層目の配線 1 9 をシングルダマシン法で形成したが、保護膜 6 からキャップ膜 1 3 までの積層内に、第 2 層目の配線 3 1 と同様のデュアルダマシン法で第 1 層目の配線を形成してもよい。

【 0 0 3 6 】

図 2 に、第 2 の実施例による半導体装置の断面図を示す。図 1 に示した第 1 の実施例による半導体装置と比較すると、第 1 の実施例による半導体装置の第 1 層目のビア層絶縁膜 5 からキャップ膜 8 までの積層構造の代わりに、保護膜 5 0、下側のビア層絶縁膜 5 1、上側のビア層絶縁膜 5 2、及びエッチングストッパ膜 5 3 がこの順番に積層された積層構造が配置されている。その他の構成は、第 1 の実施例による半導体装置の構成と同じである。

【 0 0 3 7 】

保護膜 5 0 は窒化シリコンで形成されており、その厚さは 1 0 0 n m である。下側のビア層絶縁膜 5 1 は、ポリアリルエーテル (例えば、ダウケミカル社製の S i L K) を、膜厚が約 1. 0 μ m になる条件でスピコートした後、仮焼成及び本焼成を行うことにより形成される。ビア層絶縁膜 5 1 の下地表面の最大段差が約 1. 5 μ m であったが、ビア層絶縁膜 5 1 の上面における最大段差は約 0. 2 μ m まで低くなった。

【 0 0 3 8 】

上側のビア層絶縁膜 5 2 は、C V D により厚さ 0. 5 μ m の酸化シリコン膜を堆積させた後、表層部を約 0. 2 μ m だけ C M P で除去することにより形成される。これにより、表面の平坦化が行われる。エッチングストッパ膜 5 3 は窒化シリコンで形成されており、その厚さは 5 0 n m である。

【 0 0 3 9 】

エッチングストップ膜 5 3 の上面からドレイン領域 3 D まで達するビアホール 9 が形成されている。ビアホール 9 の内面が T i N からなるバリアメタル層 1 0 で覆われ、ビアホール 9 の内部にタングステンからなる導電性プラグ 1 1 が埋め込まれている。

【 0 0 4 0 】

第 2 の実施例でも、第 1 の実施例の場合と同様に、半導体基板 1 と第 1 層目の配線 1 9 との間に、低誘電率のビア層絶縁膜 5 1 が配置されている。このため、第 1 層目の配線に係わる寄生容量の低減を図ることができる。実際に、第 1 層目の配線層に相互に噛み合った櫛歯形電極を形成したところ、櫛歯形電極の長さ 1 m m 当たりの静電容量が 210 f F / m m であったのに対し、第 1 層目の配線の下のビア層絶縁膜を P S G で形成した場合には、静電容量が 240 f F / m m であった。低誘電率材料を採用することによる寄生容量低減効果が現れていることがわかる。

【 0 0 4 1 】

第 2 の実施例では、ビア層絶縁膜 5 1 を低誘電率の有機絶縁材料 (S i L K) で形成したが、ポーラスシリカで形成してもよい。

図 3 に、第 3 の実施例による半導体装置の断面図を示す。第 3 の実施例による半導体装置においては、図 1 に示した第 1 の実施例による半導体装置の窒化シリコンからなるエッチングストップ膜 8 及び 2 2 が配置されておらず、ビア層絶縁膜 1 0 及び 2 1 が、ポリアリルエーテル等の低誘電率の有機絶縁材料 (例えば、ダウケミカル社製の S i L K) で形成されている。ビア層絶縁膜 1 0 及び 2 1 の上面に、それぞれ有機絶縁材料をシランカップリング剤または金属カップリング剤で処理することにより形成された、主として酸化シリコンからなる極薄い表面改質層 6 0 及び 6 1 が配置されている。その他の構成は、第 1 の実施例による半導体装置の構成と同様である。

【 0 0 4 2 】

次に、シランカップリング剤による表面処理方法について説明する。有機絶縁材料からなるビア層絶縁膜 1 0 または 2 1 を形成した後、その表面を酸素プラズマに 2 秒間晒す。その後、シランカップリング剤 (例えば、ヘキサメチルジシラ

ザン) で表面処理を行う。その後、温度 3 0 0 ℃ で 3 分間の熱処理を行う。これにより、表面に極薄い表面改質層が形成される。

【 0 0 4 3 】

表面改質層と有機絶縁材料とのエッチング速度の差を利用して、酸化シリコン膜 6 0 及び 6 1 を、それぞれ配線溝 1 6 及び 2 9 を形成する時のエッチングストップ膜として使用することができる。

【 0 0 4 4 】

第 3 の実施例においても、第 1 の実施例の場合と同様に、半導体基板 1 と第 1 層目の配線 1 9 との間に、低誘電率のビア層絶縁膜 1 0 が配置されている。このため、第 1 層目の配線に係わる寄生容量の低減を図ることができる。実際に、第 1 層目の配線層に相互に噛み合った櫛歯形電極、及び第 2 層目の配線層に相互に噛み合った櫛歯形電極を形成したところ、櫛歯電極の長さ 1 m m 当たりの静電容量が共に 1 8 0 f F / m m であった。

【 0 0 4 5 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【 0 0 4 6 】

【発明の効果】

以上説明したように、本発明によれば、半導体基板と第 1 層目の配線層との間に、低誘電率の絶縁膜を配置することにより、第 1 層目の配線に係わる寄生容量を低減させることができる。

【図面の簡単な説明】

【図 1】 第 1 の実施例による半導体装置の断面図である。

【図 2】 第 2 の実施例による半導体装置の断面図である。

【図 3】 第 3 の実施例による半導体装置の断面図である。

【図 4】 従来の半導体装置の断面図である。

【符号の説明】

1 半導体基板

2 素子分離絶縁膜

3 MOSFET

5、7、21、51、52 ビア層絶縁膜

6、50 保護膜

8、20、22、53 エッチングストッパ膜

9、28 ビアホール

10、18、30 バリアメタル層

11 導電性プラグ

12、23 配線層絶縁膜

13、24 キャップ膜

16、29 配線溝

19、31 配線

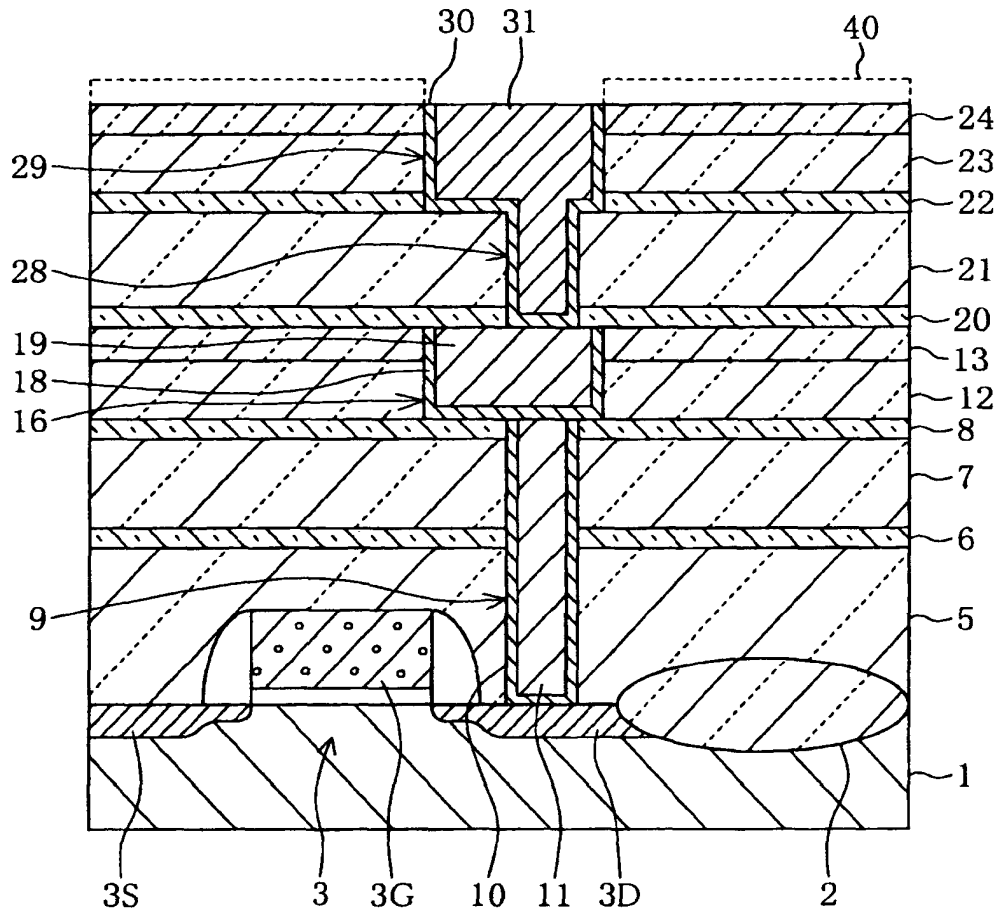
40 ハードマスク層

60、61 表面改質層

【書類名】 図面

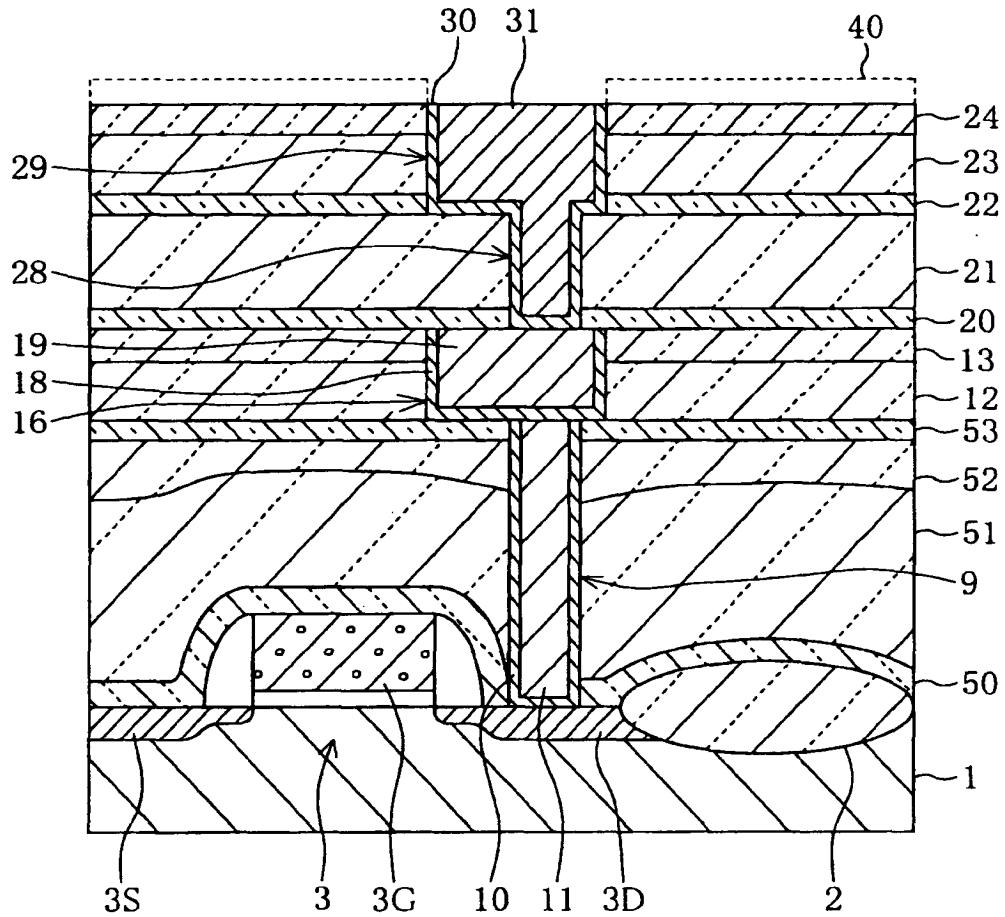
【図 1】

第1の実施例



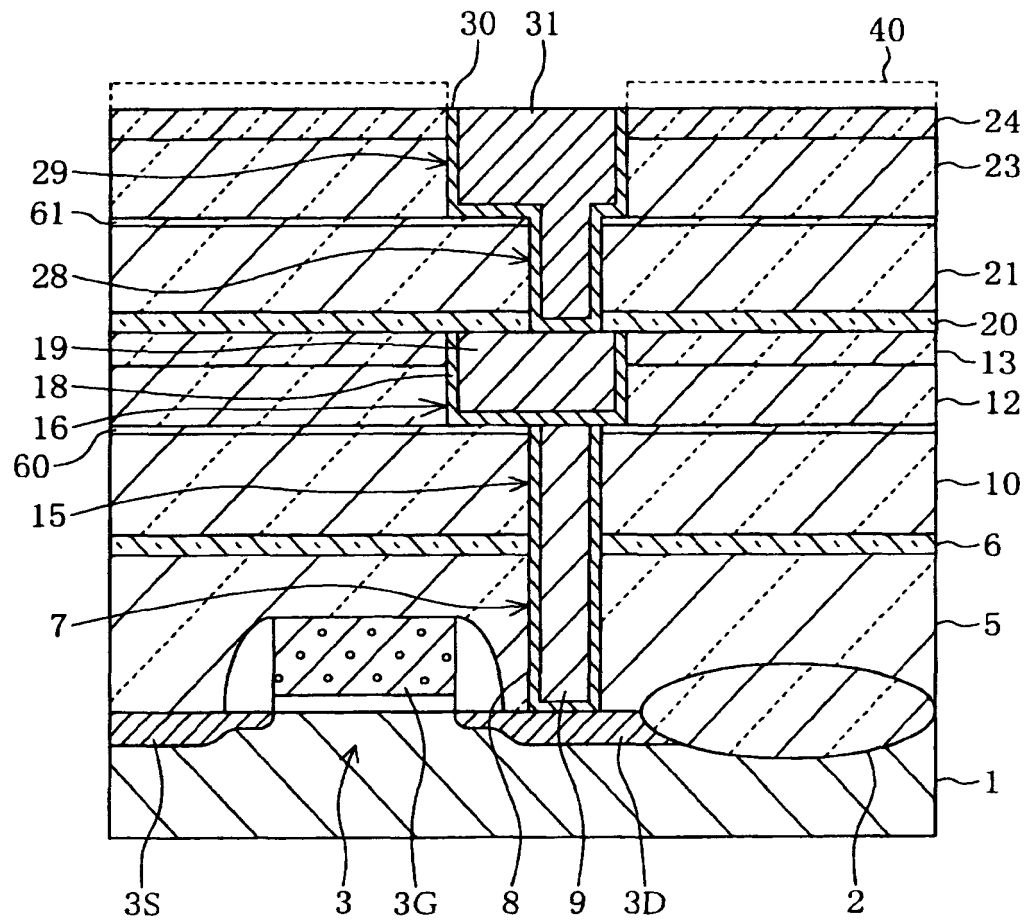
【図 2】

第2の実施例



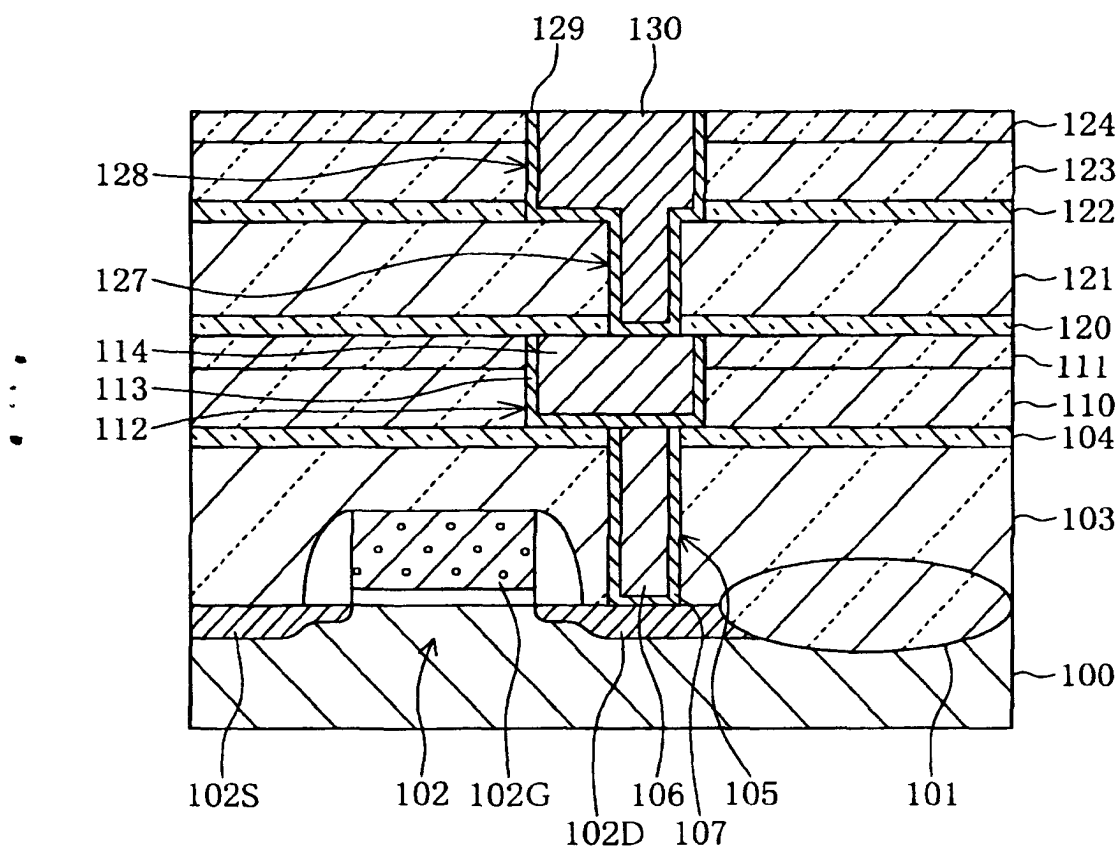
【図 3】

第3の実施例



【図 4】

従来例



【書類名】 要約書

【要約】

【課題】 第 1 層目の配線に係わる寄生容量の低減効果を増大させることが可能な半導体装置を提供する。

【解決手段】 半導体基板の表面上に半導体素子が形成されている。半導体素子を覆うように、半導体基板の上に第 1 の絶縁膜が形成されている。第 1 の絶縁膜の上に、第 1 の絶縁膜の誘電率よりも低い誘電率を有する第 2 の絶縁膜が形成されている。第 2 の絶縁膜の上に第 1 の配線が形成されている。第 2 の絶縁膜及び第 1 の絶縁膜の内部に埋め込まれた導電性の接続部材が、第 1 の配線と半導体素子とを電氣的に接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社